

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the scramble releasing scramble method and system of a signal which realize the high data communications of the privacy of analog signals, such as an audio signal, a modem signal, and a facsimile signal.

[0002]

[Description of the Prior Art]

Conventionally, that to which a value multiplies an input signal by the pseudorandom number sequence of the binary used as +1 or -1 as one of the scrambling systems of an analog signal is known for the telecommunications sector.

Drawing 14 shows an example of a scrambling system which used the pseudo-random number of the binary. Drawing 14 (a) shows the block diagram of the scramble circuit which scrambles a signal, and drawing 14 (b) shows the block diagram of the releasing scramble circuit which restores the original signal from the signal which was able to be scrambled.

The scramble circuit of drawing 14 (a) comprises the pseudo-random number generating circuit 141 which generates the binary of +1 or 1 [-], the multiplier 142, the input signal 143 which inputs the signal to scramble, and the scrambled signal 144.

The releasing scramble circuit of drawing 14 (b) comprises the pseudo-random number generating circuit 145 which generates the binary of +1 or 1 [-], the multiplier 146, the input signal 147 which inputs the signal scrambled in the scramble circuit of drawing 14 (a), and the signal 148 of which scramble was canceled.

That is, it is circuitry with a scramble circuit and a releasing scramble circuit same in abbreviation, and there are much the spread spectrum communication and the points of comparison of the direct diffusion method used by radio.

[0003]

The problem of this conventional scrambling system is that it is difficult to take the synchronization of the pseudorandom number sequence generation circuit 141 of the binary by the side of scramble processing, and the pseudorandom number generation circuit 145 of the binary by the side of a releasing scramble. In the spread spectrum system, after the envelope of the signal after abnormal conditions applies primary abnormal conditions using the frequency modulation or phase encoding which becomes fixed, it has multiplied by the pseudorandom number sequence of the binary. Therefore, since the signal after multiplying by the pseudorandom number sequence of a binary also

becomes constant [an envelope] in a spread spectrum system, in a receiver, synchronous supplement / synchronous pursuit is easily possible using a matched filter, a DLL (Delay Locked Loop) circuit, etc. However, since it has multiplied by the pseudorandom number sequence of the direct binary to the audio signal and modem signal with which an envelope is changed in the scrambling system of drawing 14 without using primary abnormal conditions, in a receiver, it is very difficult to perform synchronous supplement / synchronous pursuit.

[0004]

As a means for solving this problem, there is the scramble releasing scramble method of the signal for which the artificer of this invention applied (for example, refer to patent documents 1). Instead of being the primary abnormal conditions which become constant [the amplitude of the signal used with spread spectrum communication] in the patent documents 1, After pretreating for setting average power of the signal after processing constant, it multiplies by the pseudorandom number sequence of a binary, and scramble is performed, and in the receiver, synchronous pursuit which used the DLL (Delay Locked Loop) circuit is enabled.

[0005]

[Patent documents 1]

JP,2000-151555,A (the five - 8th page, Drawing 1)

[0006]

[Problem(s) to be Solved by the Invention]

However, in the conventional method, in order to set constant the average power of a signal which performs scramble processing, direct current offset comparable as the peak magnitude of an input signal was made to superimpose on an input signal, and there was a fault that the part S/N ratio deteriorated. Since the amplitude of the signal component inputted by direct-current-offset impression becomes half mostly when the dynamic range of a transmission system is set constant, the deterioration quantity of a S/N ratio is set to 6 dB.

[0007]

Were made in order that this invention might solve such a problem, and the purpose the synchronization of the pseudorandom number sequence generation circuit of the binary by the side of scramble processing and releasing scramble processing, The scramble releasing scramble ***** system of a signal realizable without remarkable degradation of a S/N ratio is provided.

[0008]

[Means for Solving the Problem]

If this invention is in a scramble releasing scramble system of a signal in order [which attains the above-mentioned purpose] to carry out, Scramble processing of a sending signal is performed in a scramble circuit of the transmitting side, Are a scramble releasing scramble system of a signal which performs releasing scramble processing of an input signal in a releasing scramble circuit of a receiver, and a scramble circuit of said

transmitting side An input signal, A constant generation circuit which outputs constant value, and an adding machine which adds an output of said constant generation circuit to said input signal, +While it has a multiplier which outputs a signal which carried out the multiplication of the output of said pseudo-random number generating circuit to a pseudo-random number generating circuit which generates a binary of 1 or 1 [-], and an output which passed said adding machine, and was scrambled, A pseudo-random number generating circuit which generates a binary of +1 or 1 [-] in which phase control of the series as a pseudo-random number generating circuit used in said scramble circuit with same releasing scramble circuit of said receiver is possible, It has a multiplier which outputs a releasing scramble output signal which carried out the multiplication of the output of said pseudo-random number generating circuit to said input signal, and of which scramble was canceled, and has composition which performs synchronous processing by correlation operation. According to this composition, using a technique using character of cross correlation of an input signal and a pseudorandom number sequence, it is an easy circuit and a synchronization of a pseudo-random number generating circuit of the transmitting side (scramble processing side) and a receiver (releasing scramble processing side) can be realized without remarkable degradation of a S/N ratio.

[0009]

[Embodiment of the Invention]

(A 1st embodiment)

Hereafter, an embodiment of the invention is described using a drawing. Drawing 1 shows the scramble circuit concerning a 1st embodiment of this invention. In drawing 1, this scramble circuit, As opposed to the output which passed HPF(highpass filter) 102 which removes the specific components (a dc component, an infrasonic-waves ingredient, etc.) of the input signal 101 and this input signal, and this HPF102. It comprises the pseudo-random number generating circuit 104 which generates the binary of the constant generation circuit 103 which gives constant value, +1, or 1 [-], the scrambled signal 105, the adding machine 106, and the multiplier 107. This scramble circuit can also be realized [also realizing as hardware of digital processing, and] by digital processing as software, and realizing as hardware of analog processing is also possible. And when carrying out digital processing, what carried out the A/D conversion of the analog signals, such as an audio signal or a modem signal, and a FAX signal, serves as the input signal 101, and when carrying out analog processing, analog signals, such as an audio signal or a modem signal, and a FAX signal, turn into the input signal 101.

[0010]

If operation of the scramble circuit of drawing 1 is explained, HPF102 will remove the dc component and infrasonic-waves ingredient in the input signal 101. What is necessary is just to set the cut off frequency of HPF102 as 300 Hz or less not have an adverse effect on audio signal transfer, when scrambling an audio signal. moreover -- when the signal which removed the dc component beforehand is inputted, there is no HPF102 -- it is good. Next, after adding the output of the constant generation circuit 103 with the adding machine 106, the output signal 105 which multiplied by the output of the pseudo-random number generating circuit 104 which generates the binary signal of +1 or 1 [-] with the

multiplier 107, and was scrambled is generated.

[0011]

For example, when applying scramble with the M sequence signal of the cycle 127, for example for an audio signal in the scramble processing in a 1st embodiment, about [of the maximum of the absolute value of the amplitude of the audio signal of an input] $1/10$ is enough as the output value of the constant generation circuit 103. As long as the pseudo-random number used for scramble uses what has a large cycle and it also takes the large data length of the correlation operation for a synchronization in a releasing scramble circuit, the output of the constant generation circuit 103 may be made smaller. It is a range which is stabilized when experimenting beforehand and performing releasing scramble processing, and can take a synchronization, and what is necessary is just to choose the smallest possible value as an output value of the constant generation circuit 103, when processing signals other than a sound. The output of the constant generation circuit 103 is applied to the input signal 101 because the output of the pseudorandom number generation circuit 104 is superimposed on the scramble output signal 105. If it multiplied by the pseudorandom number sequence of the direct binary to the input signal and scramble was applied, considering the case where an input is a soundless state, are clear, but it will become impossible to perform synchronous processing in a releasing scramble circuit. By making the output of the pseudorandom number generation circuit 104 superimpose on the scramble output 105 with the composition of drawing 1, synchronous processing which used cross correlation becomes possible by the releasing scramble circuit side.

[0012]

Drawing 2 shows the releasing scramble circuit concerning a 1st embodiment of this invention. This releasing scramble circuit inputs the signal scrambled in the scramble circuit of drawing 1, performs releasing scramble processing, and restores and outputs the signal before applying scramble. Therefore, in drawing 2, the input signal 201 is the signal 105 which was able to be scrambled in the scramble circuit of drawing 1. And this releasing scramble circuit, The input signal 201 with which scramble was applied, The dc component of the pseudo-random number generating circuit 202 which generates the pseudo-random number which becomes with the binary of +1 or 1 [-] in which the phase control of the same series as the pseudo-random number generating circuit 104 used for the scramble processing circuit of drawing 1 is possible, and the constant generation circuit 103 superimposed in the scramble circuit of drawing 1. The output of HPF(highpass filter) 203 to remove, the releasing scramble output signal 204 by which the releasing scramble was carried out, the input signal 201, and the pseudo-random number generating circuit 202 is inputted. It comprises the correlator 205 which calculates the cross correlation of two signals, the peak detection circuit 206 which searches for the position of the peak of cross correlation, and the multiplier 207.

[0013]

Below, it explains as what uses an M sequence signal for a pseudo-random number. When operation of this releasing scramble circuit is explained, in this releasing scramble circuit. By removing the superimposed dc component by HPF203, after multiplying by

the output of the pseudo-random number generating circuit 202 which generates the binary signal of +1 or 1 [-] with the multiplier 207 to the input signal 201 which was able to be scrambled, The releasing scramble output signal 204 of which scramble was canceled is acquired. If it furthermore explains in full detail, in the pseudo-random number generating circuit 202 of a binary, the M sequence signal which is a pseudo-random number of the same series as the pseudo-random number generating circuit 104 of the scramble circuit of drawing 1 will be generated, and the M sequence signal and the input signal 201 of the pseudo-random number generating circuit 202 will be inputted into the correlator 205. In the correlator 205, search for the cross correlation of this 2 ** signal by an operation, and the called-for output is inputted into the peak detection circuit 206, So that the position of the peak of cross correlation may be searched for in the peak detection circuit 206 and the output of the pseudo-random number generating circuit 104 of the scramble circuit of drawing 1 and the output of the pseudo-random number generating circuit 202 may synchronize from the peak position of this cross correlation The phase of the pseudo-random number generating circuit 202, That is, feedback control of the phase of an M sequence signal generating circuit is carried out. By this feedback control, the synchronization of the output of the pseudo-random number generating circuit 104 of the pseudo-random number generating circuit 202 of a binary and the scramble circuit of drawing 1 is attained.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

It is the scramble releasing scramble method of a signal of performing scramble processing of a sending signal in a scramble circuit of the transmitting side, and performing releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,

A step which outputs a signal which carried out the multiplication of the pseudo-random number of a binary of +1 or 1 [-] to an input signal, and was scrambled by said scramble circuit side,

A step which inputs a pseudo-random number of a binary of +1 or 1 [-] in which phase control of the same series as a pseudo-random number used in said scramble circuit is possible into a signal inputted through said scramble circuit, and calculates cross

correlation of two signals by said releasing scramble circuit side,
 Detect a peak value of said cross correlation and feedback control is applied to a pseudo-random number generating circuit by the side of this releasing scramble circuit in quest of a phase which synchronizes said pseudo-random number by the side of said scramble circuit, and a pseudo-random number by the side of this releasing scramble circuit, A step which restores a signal which synchronized said pseudo-random number by the side of said scramble circuit, and a pseudo-random number by the side of this releasing scramble circuit, and was inputted through said scramble circuit,
 A scramble releasing scramble method of a ****(ing) signal.

[Claim 2]

It is the scramble releasing scramble method of a signal of performing scramble processing of a sending signal in a scramble circuit of the transmitting side, and performing releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,
 A step which outputs a signal which carried out the multiplication of the pseudo-random number of a binary of +1 or 1 [-] to an input signal, and was scrambled by said scramble circuit side,
 A step which multiplies by a pseudo-random number of a binary of +1 or 1 [-] in which phase control of the same series as a pseudo-random number used for a signal inputted through said scramble circuit by said releasing scramble circuit side in said scramble circuit is possible,
 A phase of a pseudo-random number by the side of said crumble release circuit is controlled based on a difference of the magnitude-spectrum characteristic after multiplying by a pseudo-random number by said releasing scramble circuit side, A step which restores a signal which synchronized said pseudo-random number by the side of said scramble circuit, and a pseudo-random number by the side of this releasing scramble circuit, and was inputted through said scramble circuit,
 A scramble releasing scramble method of a ****(ing) signal.

[Claim 3]

It is the scramble releasing scramble method of a signal of performing scramble processing of a sending signal in a scramble circuit of the transmitting side, and performing releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,
 A step which makes and outputs a zone with a small amplitude level to a band elimination filter through an input signal,
 A step which outputs a signal which carried out the multiplication of the pseudo-random number of a binary of +1 or 1 [-] to an input signal which passed along said band elimination filter, and was scrambled by said scramble circuit side,
 A step which multiplies by a pseudo-random number of a binary of +1 or 1 [-] in which phase control of the same series as a pseudo-random number used for a signal inputted through said scramble circuit by said releasing scramble circuit side in said scramble circuit is possible,
 It lets a band pass filter pass for a signal which multiplied by said pseudo-random number by said releasing scramble circuit side. A step which abbreviates to an amplitude level of

said input signal which it let pass to said band elimination filter by the side of said scramble circuit which it let pass to said band elimination filter, is, and makes and outputs a zone,

A phase of a pseudo-random number by the side of said crumble release circuit is controlled based on a difference of the magnitude-spectrum characteristic after letting it pass to said band pass filter by said releasing scramble circuit side, A step which restores a signal which synchronized said pseudo-random number by the side of said scramble circuit, and a pseudo-random number by the side of this releasing scramble circuit, and was inputted through said scramble circuit,

A scramble releasing scramble method of a ****(ing) signal.

[Claim 4]

It is a scramble releasing scramble system of a signal which performs scramble processing of a sending signal in a scramble circuit of the transmitting side, and performs releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,

A constant generation circuit where said scramble circuit outputs an input signal and constant value, While having a multiplier which outputs a signal which carried out the multiplication of the output of said pseudo-random number generating circuit to an adding machine which adds an output of said constant generation circuit to said input signal, a pseudo-random number generating circuit which generates a binary of +1 or 1 [-], and an output which passed said adding machine, and was scrambled,

A pseudo-random number generating circuit which generates a binary of +1 or 1 [-] in which phase control of the series as a pseudo-random number generating circuit used in said scramble circuit with said same releasing scramble circuit is possible, It has a multiplier which outputs a releasing scramble output signal which carried out the multiplication of the output of said pseudo-random number generating circuit to said input signal, and of which scramble was canceled,

A scramble releasing scramble system of a signal characterized by things.

[Claim 5]

The scramble releasing scramble system according to claim 4 providing a highpass filter in said scramble circuit as a means to remove a specific component of said input signal inputted into said adding machine.

[Claim 6]

The scramble releasing scramble system according to claim 4 forming a band elimination filter in said scramble circuit as a means to remove a specific component of said input signal inputted into said adding machine.

[Claim 7]

It is a scramble releasing scramble system of a signal which performs scramble processing of a sending signal in a scramble circuit of the transmitting side, and performs

releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,

A constant generation circuit where said scramble circuit outputs an input signal and constant value, While having a multiplier which outputs a signal which carried out the multiplication of the output of said pseudo-random number generating circuit to an adding machine which adds an output of said constant generation circuit to said input signal, a pseudo-random number generating circuit which generates a binary of +1 or 1 [-], and an output which passed said adding machine, and was scrambled,

A pseudo-random number generating circuit which generates a binary of +1 or 1 [-] in which phase control of the series as a pseudo-random number generating circuit used in said scramble circuit with said same releasing scramble circuit is possible, Correlator which inputs an output of an input signal with which scramble was applied in said scramble circuit, and said pseudo-random number generating circuit, and calculates cross correlation of two signals, A phase which synchronizes an output of said pseudo-random number generating circuit of said scramble circuit, and an output of a pseudo-random number generating circuit of this releasing scramble circuit, It has a peak detection circuit which asks from a peak value of cross correlation of said correlator, and carries out a return input in a pseudo-random number generating circuit of this releasing scramble circuit, and a multiplier which outputs a releasing scramble output signal which carried out the multiplication of the output of said pseudo-random number generating circuit to said input signal, and of which scramble was canceled,

A scramble releasing scramble system of a signal characterized by things.

[Claim 8]

The scramble releasing scramble system according to claim 7, wherein said releasing scramble circuit is provided with a highpass filter from which a specific ingredient superimposed from inside of said releasing scramble output signal in a constant generation circuit of said scramble circuit is removed.

[Claim 9]

It is a scramble releasing scramble system of a signal which performs scramble processing of a sending signal in a scramble circuit of the transmitting side, and performs releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,

A highpass filter from which said scramble circuit removes a specific component of an input signal, A constant generation circuit which outputs constant value, and an adding machine which adds an output of said constant generation circuit to an output which passed said highpass filter, +While having a multiplier which outputs a signal which carried out the multiplication of the output of said pseudo-random number generating circuit to a pseudo-random number generating circuit which generates a binary of 1 or 1 [-], and an output which passed said adding machine, and was scrambled,

A pseudo-random number generating circuit which generates a binary of +1 or 1 [-] in which phase control of the series as a pseudo-random number generating circuit used in said scramble circuit with said same releasing scramble circuit is possible, A multiplier

which outputs a releasing scramble output signal which carried out the multiplication of the output of said pseudo-random number generating circuit to said input signal, and of which scramble was canceled, The 1st highpass filter that inputs an output of an input signal with which scramble was applied in said scramble circuit, and said pseudo-random number generating circuit, and compares an amplitude level of two signals, A phase which synchronizes an output of said pseudo-random number generating circuit of said scramble circuit, and an output of a pseudo-random number generating circuit of this releasing scramble circuit, A level detector which asks from an output of said 1st highpass filter, and carries out a return input in a pseudo-random number generating circuit of this releasing scramble circuit, It has the 2nd highpass filter from which a specific ingredient superimposed in a constant generation circuit of said scramble circuit from inside of said releasing scramble output signal which passed along said multiplier is removed,

A scramble releasing scramble system of a signal characterized by things.

[Claim 10]

It is a scramble releasing scramble system of a signal which performs scramble processing of a sending signal in a scramble circuit of the transmitting side, and performs releasing scramble processing of an input signal in a releasing scramble circuit of a receiver,

A band elimination filter from which said scramble circuit removes a specific component of an input signal, A constant generation circuit which outputs constant value, and an adding machine which adds an output of said constant generation circuit to an output which passed said highpass filter, +While having a multiplier which outputs a signal which carried out the multiplication of the output of said pseudo-random number generating circuit to a pseudo-random number generating circuit which generates a binary of 1 or 1 [-], and an output which passed said adding machine, and was scrambled,

A pseudo-random number generating circuit which generates a binary of +1 or 1 [-] in which phase control of the series as a pseudo-random number generating circuit used in said scramble circuit with said same releasing scramble circuit is possible, A multiplier which outputs a releasing scramble output signal which carried out the multiplication of the output of said pseudo-random number generating circuit to said input signal, and of which scramble was canceled, A band pass filter which inputs an output of an input signal with which scramble was applied in said scramble circuit, and said pseudo-random number generating circuit, and compares an amplitude level of two signals, A phase which synchronizes an output of said pseudo-random number generating circuit of said scramble circuit, and an output of a pseudo-random number generating circuit of this releasing scramble circuit, A level detector which asks from an output of said band pass filter, and carries out a return input in a pseudo-random number generating circuit of this releasing scramble circuit, It has a highpass filter from which a specific ingredient superimposed in a constant generation circuit of said scramble circuit from inside of said releasing scramble output signal which passed along said multiplier is removed, A scramble releasing scramble system of a signal characterized by things.

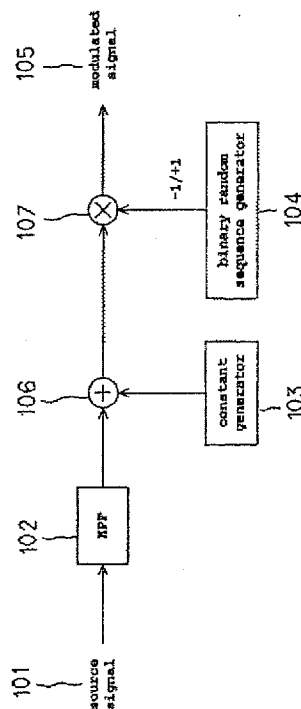
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

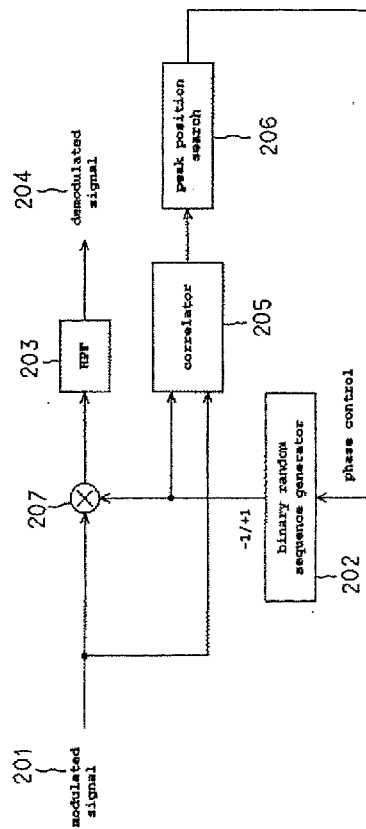
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

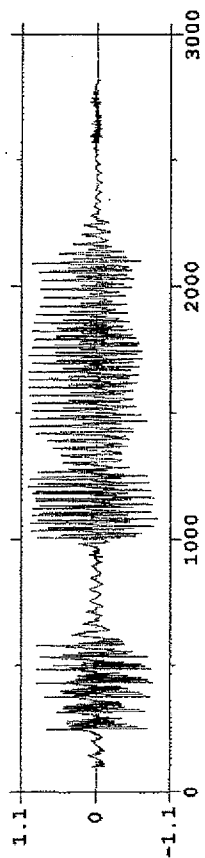
[Drawing 1]



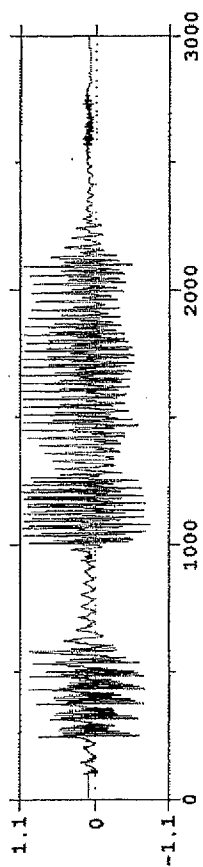
[Drawing 2]



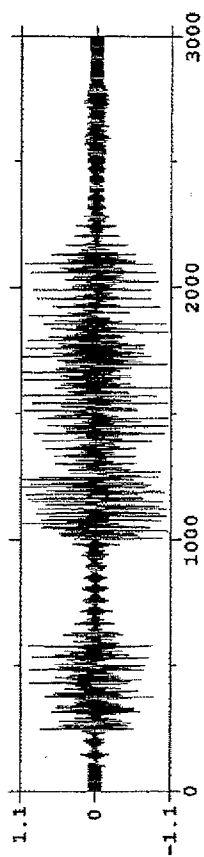
[Drawing 31]



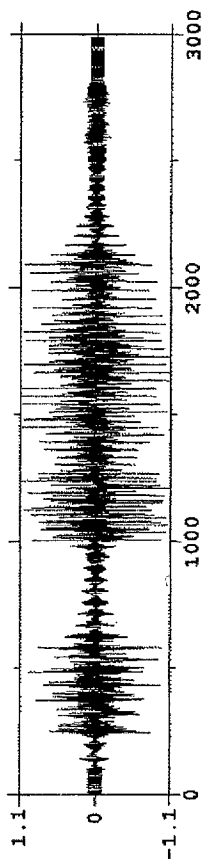
[Drawing 4]



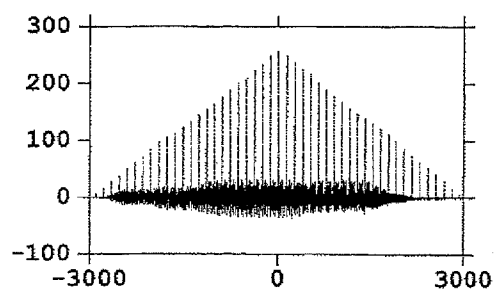
[Drawing 5]



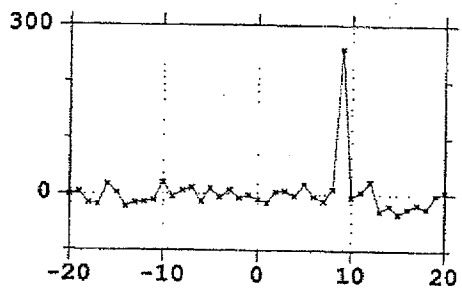
[Drawing 6]



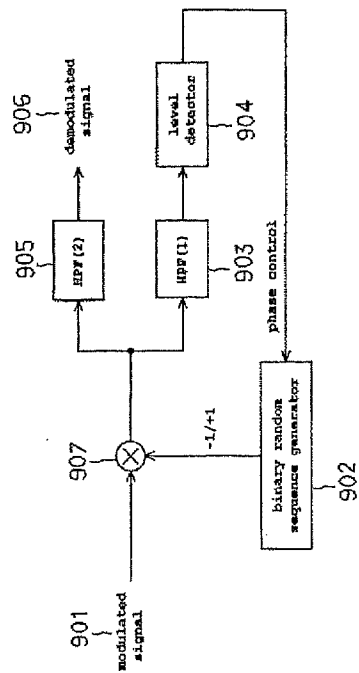
[Drawing 7]



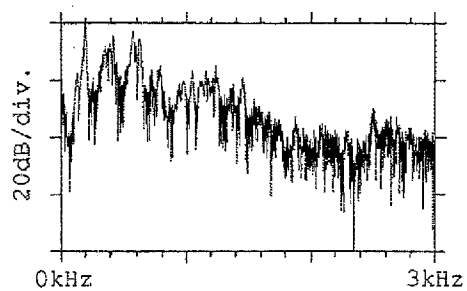
[Drawing 8]



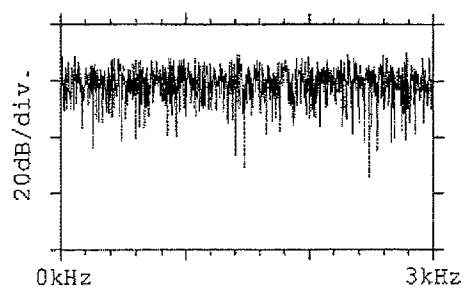
[Drawing 9]



[Drawing 10]

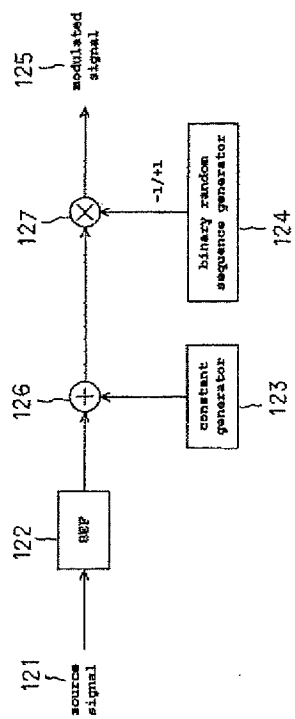
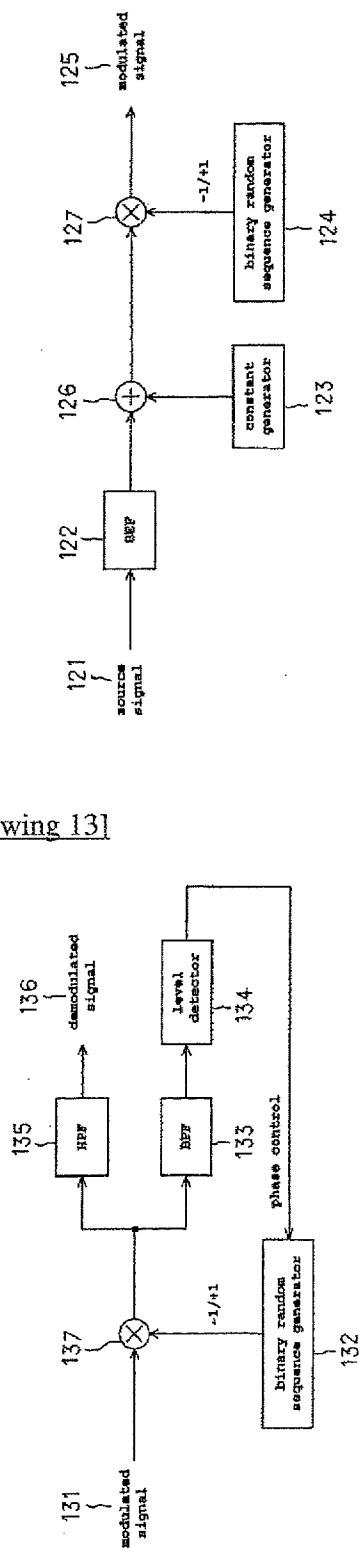


[Drawing 11]

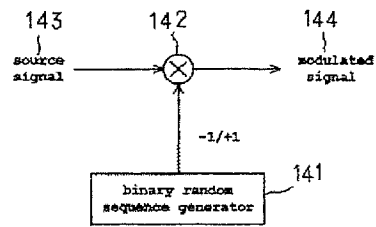


[Drawing 12]

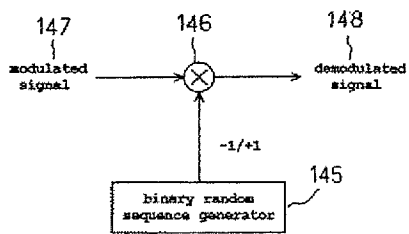
[Drawing 13]



[Drawing 14]



(a)



(b)

[Translation done.]

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-200972

(43)Date of publication of application : 15.07.2004

(51)Int.Cl.

H04K 1/00

(21)Application number : 2002-366336

(71)Applicant : KEPUSUTORAMU:KK

(22)Date of filing : 18.12.2002

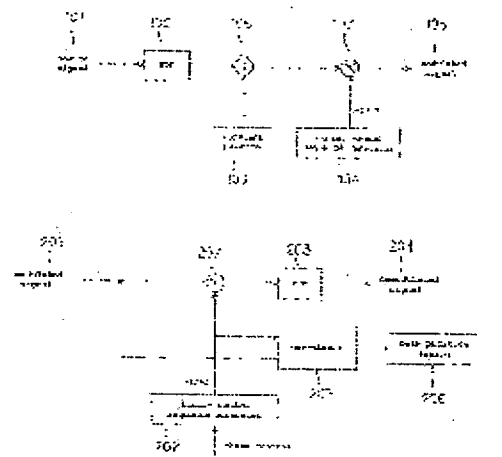
(72)Inventor : YAMAGUCHI AKIHIRO

(54) METHOD AND SYSTEM FOR SCRAMBLING AND DESCRAMBLING SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and a system for scrambling/descrambling a signal capable of realizing synchronization of a binary pseudo random number sequence generating circuit at a scramble processing side with that at a descramble processing side without causing remarkable deterioration in an S/N.

SOLUTION: The method and system for scrambling/descrambling a signal is configured with a scramble circuit for receiving an input signal comprising a constant generator for outputting a prescribed value; an adder for adding an output of the constant generator to the input signal; a binary random sequence generator for generating a binary value of +1 or -1; and a multiplier for multiplying an output of the binary random sequence generator with an output passing through the adder to scramble the output, and with a descramble circuit comprising: a binary random sequence generator for processing the same sequence as that of the binary random sequence generator employed by the scramble circuit and generating a binary value of +1 or -1; and a multiplier for multiplying an output of the binary random sequence generator with an output of the scramble circuit to provide an output of a descrambled output signal resulting from descrambling the output of the scramble circuit.



LEGAL STATUS

[Date of request for examination]

28.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200972

(P2004-200972A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int. Cl.⁷

H04K 1/00

F I

H04K 1/00

Z

テーマコード (参考)

5J104

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号 特願2002-366336 (P2002-366336)
 (22) 出願日 平成14年12月18日 (2002.12.18)

(71) 出願人 598153641
 有限会社ケブストラム
 東京都多摩市蓮光寺2丁目33番1号
 (74) 代理人 100081514
 弁理士 酒井 一
 (74) 代理人 100082692
 弁理士 蔵合 正博
 (72) 発明者 山口 晶大
 東京都多摩市蓮光寺2丁目33番1号
 Fターム(参考) 5J104 AA12

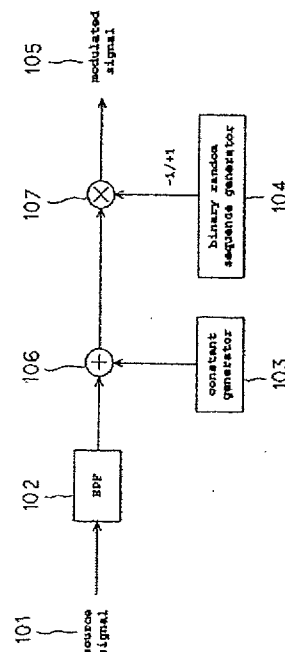
(54) 【発明の名称】 信号のスクランブル・スクランブル解除方法及びシステム

(57) 【要約】

【課題】 スクランブル処理側とスクランブル解除処理側の2値の疑似乱数列発生回路の同期を、S/N比の顕著な劣化無しに実現できるようにすること。

【解決手段】 入力信号と、一定値を出力する定数発生回路と、入力信号に定数発生回路の出力を加算する加算器と、+1または-1の2値を生成する疑似乱数生成回路と、加算器を通過した出力に対して疑似乱数生成回路の出力を乗算してスクランブルをかける乗算器を備えるスクランブル回路、および、スクランブル回路で用いた疑似乱数生成回路と同一系列の位相制御可能な+1または-1の2値を生成する疑似乱数生成回路と、入力信号に疑似乱数生成回路の出力を乗算してスクランブルを解除したスクランブル解除出力信号を出力する乗算器を備えるスクランブル解除回路で構成した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除方法であって、

前記スクランブル回路側で、入力信号に対して $+1$ または -1 の2値の疑似乱数を乗算してスクランブルをかけた信号を出力するステップと、

前記スクランブル解除回路側で、前記スクランブル回路を経て入力された信号に前記スクランブル回路で用いた疑似乱数と同一系列の位相制御可能な $+1$ または -1 の2値の疑似乱数を入力して2つの信号の相互相関の演算を行うステップと、

前記相互相関のピーク値を検出し、前記スクランブル回路側の前記疑似乱数と該スクランブル解除回路側の疑似乱数を同期させる位相を求めて該スクランブル解除回路側の疑似乱数生成回路に帰還制御をかけ、前記スクランブル回路側の前記疑似乱数と該スクランブル解除回路側の疑似乱数を同期させて前記スクランブル回路を経て入力された信号を復元するステップ、

を有することを特徴とする信号のスクランブル・スクランブル解除方法。

【請求項 2】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除方法であって、

前記スクランブル回路側で、入力信号に対して $+1$ または -1 の2値の疑似乱数を乗算してスクランブルをかけた信号を出力するステップと、

前記スクランブル解除回路側で、前記スクランブル回路を経て入力された信号に前記スクランブル回路で用いた疑似乱数と同一系列の位相制御可能な $+1$ または -1 の2値の疑似乱数を乗じるステップと、

前記スクランブル解除回路側で疑似乱数を乗じた後の振幅スペクトル特性の相違を元に前記スクランブル解除回路側の疑似乱数の位相を制御し、前記スクランブル回路側の前記疑似乱数と該スクランブル解除回路側の疑似乱数を同期させて前記スクランブル回路を経て入力された信号を復元するステップ、

を有することを特徴とする信号のスクランブル・スクランブル解除方法。

【請求項 3】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除方法であって、

入力信号をバンド・エリミネーション・フィルタに通して振幅レベルの小さい帯域を作って出力するステップと、

前記スクランブル回路側で、前記バンド・エリミネーション・フィルタを通った入力信号に対して $+1$ または -1 の2値の疑似乱数を乗算してスクランブルをかけた信号を出力するステップと、

前記スクランブル解除回路側で、前記スクランブル回路を経て入力された信号に前記スクランブル回路で用いた疑似乱数と同一系列の位相制御可能な $+1$ または -1 の2値の疑似乱数を乗じるステップと、

前記スクランブル解除回路側で前記疑似乱数を乗じた信号をバンドパスフィルタを通して前記バンド・エリミネーション・フィルタに通した前記スクランブル回路側の前記バンド・エリミネーション・フィルタに通した前記入力信号の振幅レベルに略等しい帯域を作って出力するステップと、

前記スクランブル解除回路側で前記バンドパスフィルタに通した後の振幅スペクトル特性の相違を元に前記スクランブル解除回路側の疑似乱数の位相を制御し、前記スクランブル回路側の前記疑似乱数と該スクランブル解除回路側の疑似乱数を同期させて前記スクランブル回路を経て入力された信号を復元するステップ、

を有することを特徴とする信号のスクランブル・スクランブル解除方法。

【請求項 4】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除システムであって、

前記スクランブル回路が、入力信号と、一定値を出力する定数発生回路と、前記入力信号に前記定数発生回路の出力を加算する加算器と、+1または-1の2値を生成する疑似乱数生成回路と、前記加算器を通過した出力に対して前記疑似乱数生成回路の出力を乗算してスクランブルをかけた信号を出力する乗算器を備えるとともに、

前記スクランブル解除回路が、前記スクランブル回路で用いた疑似乱数生成回路と同一系列の位相制御可能な+1または-1の2値を生成する疑似乱数生成回路と、前記入力信号に前記疑似乱数生成回路の出力を乗算してスクランブルを解除したスクランブル解除出力信号を出力する乗算器を備える、

ことを特徴とする信号のスクランブル・スクランブル解除システム。

【請求項 5】

前記スクランブル回路に、前記加算器に入力される前記入力信号の特定成分を除去する手段としてハイパスフィルタを設けたことを特徴とする請求項 4 記載のスクランブル・スクランブル解除システム。

【請求項 6】

前記スクランブル回路に、前記加算器に入力される前記入力信号の特定成分を除去する手段としてバンド・エリミネーション・フィルタを設けたことを特徴とする請求項 4 記載のスクランブル・スクランブル解除システム。

【請求項 7】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除システムであって、

前記スクランブル回路が、入力信号と、一定値を出力する定数発生回路と、前記入力信号に前記定数発生回路の出力を加算する加算器と、+1または-1の2値を生成する疑似乱数生成回路と、前記加算器を通過した出力に対して前記疑似乱数生成回路の出力を乗算してスクランブルをかけた信号を出力する乗算器を備えるとともに、

前記スクランブル解除回路が、前記スクランブル回路で用いた疑似乱数生成回路と同一系列の位相制御可能な+1または-1の2値を生成する疑似乱数生成回路と、前記スクランブル回路でスクランブルがかけられた入力信号と前記疑似乱数生成回路の出力を入力して2つの信号の相互相関の演算を行う相関器と、前記スクランブル回路の前記疑似乱数生成回路の出力と該スクランブル解除回路の疑似乱数生成回路の出力を同期させる位相を、前記相関器の相互相関のピーク値より求めて該スクランブル解除回路の疑似乱数生成回路に帰還入力するピーク検出回路と、前記入力信号に前記疑似乱数生成回路の出力を乗算してスクランブルを解除したスクランブル解除出力信号を出力する乗算器を備える、

ことを特徴とする信号のスクランブル・スクランブル解除システム。

【請求項 8】

前記スクランブル解除回路が、前記スクランブル解除出力信号内より前記スクランブル回路の定数発生回路で重畳した特定の成分を除去するハイパスフィルタを備えることを特徴とする請求項 7 記載のスクランブル・スクランブル解除システム。

【請求項 9】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除システムであって、

前記スクランブル回路が、入力信号の特定成分を除去するハイパスフィルタと、一定値を出力する定数発生回路と、前記ハイパスフィルタを通過した出力に対して前記定数発生回路の出力を加算する加算器と、+1または-1の2値を生成する疑似乱数生成回路と、前

記加算器を通過した出力に対して前記疑似乱数生成回路の出力を乗算してスクランブルをかけた信号を出力する乗算器を備えるとともに、
前記スクランブル解除回路が、前記スクランブル回路で用いた疑似乱数生成回路と同一系列の位相制御可能な $+1$ または -1 の2値を生成する疑似乱数生成回路と、前記入力信号に前記疑似乱数生成回路の出力を乗算してスクランブルを解除したスクランブル解除出力信号を出力する乗算器と、前記スクランブル回路でスクランブルがかけられた入力信号と前記疑似乱数生成回路の出力を入力して2つの信号の振幅レベルを比較する第1のハイパスフィルタと、前記スクランブル回路の前記疑似乱数生成回路の出力と該スクランブル解除回路の疑似乱数生成回路の出力を同期させる位相を、前記第1のハイパスフィルタの出力より求めて該スクランブル解除回路の疑似乱数生成回路に帰還入力するレベル検出器と、前記乗算器を通った前記スクランブル解除出力信号内より前記スクランブル回路の定数発生回路で重畳した特定の成分を除去する第2のハイパスフィルタを備える、
ことを特徴とする信号のスクランブル・スクランブル解除システム。

【請求項10】

送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除システムであって、
前記スクランブル回路が、入力信号の特定成分を除去するバンド・エリミネーション・フィルタと、一定値を出力する定数発生回路と、前記ハイパスフィルタを通過した出力に対して前記定数発生回路の出力を加算する加算器と、 $+1$ または -1 の2値を生成する疑似乱数生成回路と、前記加算器を通過した出力に対して前記疑似乱数生成回路の出力を乗算してスクランブルをかけた信号を出力する乗算器を備えるとともに、
前記スクランブル解除回路が、前記スクランブル回路で用いた疑似乱数生成回路と同一系列の位相制御可能な $+1$ または -1 の2値を生成する疑似乱数生成回路と、前記入力信号に前記疑似乱数生成回路の出力を乗算してスクランブルを解除したスクランブル解除出力信号を出力する乗算器と、前記スクランブル回路でスクランブルがかけられた入力信号と前記疑似乱数生成回路の出力を入力して2つの信号の振幅レベルを比較するバンドパスフィルタと、前記スクランブル回路の前記疑似乱数生成回路の出力と該スクランブル解除回路の疑似乱数生成回路の出力を同期させる位相を、前記バンドパスフィルタの出力より求めて該スクランブル解除回路の疑似乱数生成回路に帰還入力するレベル検出器と、前記乗算器を通った前記スクランブル解除出力信号内より前記スクランブル回路の定数発生回路で重畳した特定の成分を除去するハイパスフィルタを備える、
ことを特徴とする信号のスクランブル・スクランブル解除システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は音声信号、モデム信号、ファクシミリ信号等のアナログ信号の秘匿性の高いデータ伝送を実現する信号のスクランブル・スクランブル解除方法及びシステムに関するものである。

【0002】

【従来の技術】

従来、通信分野では、アナログ信号のスクランブル方式の1つとして、入力信号に値が $+1$ または -1 となる2値の疑似乱数列を乗ずるものが知られている。図14は、その2値の疑似乱数を用いたスクランブル方式の一例を示すものである。なお、図14(a)は信号にスクランブルをかけるスクランブル回路のブロック図を示し、図14(b)はスクランブルをかけられた信号から元の信号を復元するスクランブル解除回路のブロック図を示している。図14(a)のスクランブル回路は、 $+1$ または -1 の2値を生成する疑似乱数生成回路141と、乗算器142と、スクランブルをかける信号を入力する入力信号143と、スクランブルをかけた信号144とで構成されている。図14(b)のスクランブル解除回路は、 $+1$ または -1 の2値を生成する疑似乱数生成回路145と、乗算器1

46と、図14(a)のスクランブル回路でスクランブルをかけた信号を入力する入力信号147と、スクランブルを解除した信号148で構成されている。すなわち、スクランブル回路とスクランブル解除回路とは、略同一の回路構成となっており、無線通信で用いられている直接拡散法のスペクトラム拡散通信方式と類似点が多い。

【0003】

この従来のスクランブル方式の問題点は、スクランブル処理側の2値の疑似乱数列発生回路141とスクランブル解除側の2値の疑似乱数発生回路145の同期を取ることが困難であることである。スペクトラム拡散通信では、変調後の信号の包絡線が一定となる周波数変調方式または位相変調方式を用いて一次変調をかけた後に、2値の疑似乱数列を乗じている。そのため、スペクトラム拡散通信では、2値の疑似乱数列を乗じた後の信号も包絡線が一定となるので、受信側ではマッチトフィルタやDLL (Delay Locked Loop) 回路等を用いて容易に同期補足・同期追跡が可能である。しかし、図14のスクランブル方式では、一次変調を用いずに包絡線が変動する音声信号やモデム信号に対して直接2値の疑似乱数列を乗じているので、受信側では同期補足・同期追跡を行うことが極めて困難である。

【0004】

この問題を解決するための手段としては、本発明の発明者が出願した信号のスクランブル・スクランブル解除方法がある（例えば、特許文献1参照）。特許文献1では、スペクトラム拡散通信方式で用いられている信号の振幅が一定となる一次変調の代わりに、処理後の信号の平均パワーを一定とするための前処理を施した後に2値の疑似乱数列を乗じてスクランブルを行い、受信側ではDLL (Delay Locked Loop) 回路を用いた同期追跡を可能としている。

【0005】

【特許文献1】

特開2000-151555号公報（第5-8頁、第1図）

【0006】

【発明が解決しようとする課題】

しかし、従来の方法では、スクランブル処理を行う信号の平均パワーを一定とするために、入力信号に最大振幅と同程度の直流オフセットを重畳させており、その分S/N比が劣化するという欠点があった。伝送系のダイナミックレンジを一定とした場合、直流オフセット印加により入力した信号成分の振幅がほぼ半分になるので、S/N比の劣化量は6dBとなる。

【0007】

本発明はこのような問題を解決するためになされたもので、その目的はスクランブル処理側とスクランブル解除処理側の2値の疑似乱数列発生回路の同期を、S/N比の顕著な劣化無しに実現することができる信号のスクランブル・スクランブル解除方法及システムを提供するものである。

【0008】

【課題を解決するための手段】

本発明は上記目的を達成するために、信号のスクランブル・スクランブル解除システムにあっては、送信側のスクランブル回路にて送信信号のスクランブル処理を行い、受信側のスクランブル解除回路にて受信信号のスクランブル解除処理を行う信号のスクランブル・スクランブル解除システムであって、前記送信側のスクランブル回路が、入力信号と、一定値を出力する定数発生回路と、前記入力信号に前記定数発生回路の出力を加算する加算器と、+1または-1の2値を生成する疑似乱数生成回路と、前記加算器を通過した出力に対して前記疑似乱数生成回路の出力を乗算してスクランブルをかけた信号を出力する乗算器を備える一方、前記受信側のスクランブル解除回路が、前記スクランブル回路で用いた疑似乱数生成回路と同一系列の位相制御可能な+1または-1の2値を生成する疑似乱数生成回路と、前記入力信号に前記疑似乱数生成回路の出力を乗算してスクランブルを解除したスクランブル解除出力信号を出力する乗算器とを備え、相関演算による同期処

理を行なう構成としたものである。この構成によれば、入力信号と疑似乱数列の相互相関の性質を利用した手法を用いて簡単な回路で、かつS/N比の顕著な劣化無しに、送信側（スクランブル処理側）と受信側（スクランブル解除処理側）の疑似乱数生成回路の同期を実現することが出来る。

【0009】

【発明の実施の形態】

（第1の実施の形態）

以下、本発明の実施の形態について、図面を用いて説明する。図1は本発明の第1の実施の形態に係るスクランブル回路を示す。図1において、このスクランブル回路は、入力信号101、該入力信号の特定成分（直流成分や超低周波成分等）を除去するHPF（ハイパスフィルタ）102、該HPF102を通過した出力に対して一定値を与える定数発生回路103、+1または-1の2値を生成する疑似乱数生成回路104、スクランブルをかけた信号105、加算器106、乗算器107で構成されている。なお、このスクランブル回路はデジタル処理のハードウェアとして実現することも、ソフトウェアとしてデジタル処理で実現することも可能であり、またアナログ処理のハードウェアとして実現することも可能である。そして、デジタル処理する場合は、音声信号またはモデム信号、FAX信号等のアナログ信号をA/D変換したものが入力信号101となり、アナログ処理する場合は、音声信号またはモデム信号、FAX信号等のアナログ信号が入力信号101となる。

【0010】

図1のスクランブル回路の動作を説明すると、HPF102は入力信号101中の直流成分や超低周波成分を除去する。音声信号にスクランブルをかける場合、音声信号伝達に悪影響を与えないようにHPF102のカットオフ周波数は300Hz以下に設定すれば良い。また、予め直流成分を除去した信号が入力される場合はHPF102は無くとも良い。次に、定数発生回路103の出力を加算器106で加算したのちに、+1または-1の2値信号を生成する疑似乱数生成回路104の出力を乗算器107で乗じてスクランブルをかけた出力信号105を生成する。

【0011】

例えば、本第1の実施の形態におけるスクランブル処理では、例えば音声信号を対象として周期127のM系列信号によりスクランブルをかける場合、定数発生回路103の出力値は入力の音声信号の振幅の絶対値の最大値の1/10程度で十分である。また、スクランブルに使用する疑似乱数により周期の大きいものを使い、スクランブル解除回路での同期のための相関演算のデータ長も大きく取れば、定数発生回路103の出力はもっと小さくしても良い。さらに、音声以外の信号を処理する場合は、あらかじめ実験を行いスクランブル解除処理を行う際に安定して同期を取ることが出来る範囲で、出来る限り小さい値を定数発生回路103の出力値として選べばよい。入力信号101に定数発生回路103の出力を加えるのは、スクランブル出力信号105に疑似乱数発生回路104の出力を重ねるためである。入力信号に対して直接2値の疑似乱数列を乗じてスクランブルをかけたのでは、入力が無音状態の場合を考えれば明らかであるが、スクランブル解除回路で同期処理を行うことが出来なくなってしまう。図1の構成でスクランブル出力105に疑似乱数発生回路104の出力を重ねさせることによって、スクランブル解除回路側では相互相関を用いた同期処理が可能となるのである。

【0012】

図2は本発明の第1の実施の形態に係るスクランブル解除回路を示す。このスクランブル解除回路は、図1のスクランブル回路でスクランブルをかけた信号を入力してスクランブル解除処理を行い、スクランブルをかける前の信号を復元して出力するものである。したがって、図2において、入力信号201は図1のスクランブル回路でスクランブルをかけられた信号105である。そして、このスクランブル解除回路は、スクランブルがかけられた入力信号201、図1のスクランブル処理回路に用いた疑似乱数生成回路104と同一の系列の位相制御可能な+1または-1の2値でなる疑似乱数を生成する疑似乱数生成

回路202、図1のスクランブル回路で重畳した定数発生回路103の直流成分を除去するHPF（ハイパスフィルタ）203、スクランブル解除されたスクランブル解除出力信号204、入力信号201と疑似乱数生成回路202の出力を入力して2つの信号の相互相関の演算を行う相関器205、相互相関のピークの位置を求めるピーク検出回路206、乗算器207で構成されている。

【0013】

以下では疑似乱数にM系列信号を用いるものとして説明する。このスクランブル解除回路の動作を説明すると、このスクランブル解除回路では、スクランブルをかけられた入力信号201に対して、+1または-1の2値信号を生成する疑似乱数生成回路202の出力を乗算器207で乗じた後に、重畳した直流成分をHPF203で除去することによって、スクランブルを解除したスクランブル解除出力信号204が得られるものである。さらに詳述すると、2値の疑似乱数生成回路202では、図1のスクランブル回路の疑似乱数生成回路104と同一の系列の疑似乱数であるM系列信号を生成しており、疑似乱数生成回路202のM系列信号と入力信号201を相関器205に入力する。相関器205では該2つの信号の相互相関を演算により求め、求められた出力をピーク検出回路206に入力し、ピーク検出回路206で相互相関のピークの位置を求め、この相互相関のピーク位置から図1のスクランブル回路の疑似乱数生成回路104の出力と疑似乱数生成回路202の出力が同期するように疑似乱数生成回路202の位相、すなわちM系列信号生成回路の位相を帰還制御する。この帰還制御により、2値の疑似乱数生成回路202と図1のスクランブル回路の疑似乱数生成回路104の出力の同期が可能となる。

【0014】

ここで、M系列信号生成回路の位相を制御する方法、言い方を変えれば時間軸をシフトさせたM系列信号を生成する手法は公知であり、例えば昭晃堂より出版されているセンシング／認識シリーズ第8巻「M系列信号とその応用」（柏木潤著）の3章【3.3 遅れたM系列を得る方法】にその手法の詳細が紹介されている。なお、位相を変えたM系列信号を得ることは、シフトレジスタを用いて発生させたM系列信号をマルチタップのディレイラインに入力して、信号を取り出すタップの位置を変えることによっても出来る。また、メモリに書き込んでおいた一周分分の疑似乱数を繰り返し読み出して処理する場合は、単にデータを読み出す位置をずらすだけで簡単に位相を変えた、すなわち時間軸をシフトした疑似乱数列を得ることが出来る。

【0015】

次に、相関器205において、入力信号201と2値の疑似乱数生成回路202の出力との相互相関の演算を行う方法について次に説明する。相関器205における2つの信号の相互相関 COR_{ym} は次式(1)により求めることが出来る。

【数1】

$$COR_{ym}[\tau] = \begin{cases} \sum_{i=\tau}^{N-1} y[i]m'[i-\tau] & (0 \leq \tau) \\ \sum_{i=0}^{N-1+\tau} y[i]m'[i-\tau] & (\tau < 0) \end{cases}$$

・・・式(1)

上式(1)でyが入力信号201、m'が2値の疑似乱数列生成回路202の出力信号である。また、Nは相互相関の演算に用いるデータ長である。

【0016】

なお、上式(1)で定義されているのとは異なる相互相関の演算方法もあるが、そのような

異なる定義に基づいて相互相関を求めても差し支えない。例えば、相互相関の一種である共分散を用いても良いし、相関演算を行うデータ長を疑似乱数列の周期の整数倍とした環状相関（円状相関、時間軸を入れ替えた巡回畳み込み）を用いても良い。

【0017】

図1のスクランブル回路の疑似乱数生成回路104とスクランブル解除処理回路の疑似乱数生成回路202の同期が取れていない状態では、疑似乱数生成回路104の出力信号 m と疑似乱数生成回路202の出力信号 m' との間には次式・（2）に示すように未知の位相差、すなわち時間差 d が存在する。

【数2】

10

$$m'[i] = m[i + d]$$

・・・式（2）

上式（2）では、 d が正の値を取るときは m' は m よりも d サンプル遅れた信号となっている。逆に d が負の値を取る時は m' は m よりも d サンプル進んだ信号となる。

【0018】

ここで上式（1）の y は図1のスクランブル回路の入力信号101に定数発生回路103の出力を加えた後に2値の疑似乱数生成回路104の出力 m を乗じたものであるから、次 20
式（3）のように表される。

【数3】

$$y[i] = (x[i] + k) m[i]$$

・・・式（3）

上式（3）中の x は入力信号101で、 k は定数発生回路103で発生した定数値である 30
。

【0019】

上式（3）を上式（1）に代入すると次式（4）のようになる。なお次式（・・4）以降は数式が煩雑となるために累和演算 Σ の範囲の表示を省略して説明している。

【数4】

40

$$\begin{aligned} COR_{ym'}[\tau] &= \sum_i y[i] m'[i - \tau] \\ &= \sum_i \{(x[i] + k) m[i]\} m'[i - \tau] \\ &= \sum_i x[i] m[i] m'[i - \tau] + k \sum_i m[i] m'[i - \tau] \end{aligned}$$

・・・式（4）

ここで任意の信号 x と、2値の疑似乱数 m と、 m を時間軸上でシフトさせた信号 m' とを掛け合わせた信号成分は、 x と m が無相関かつ x と m' も無相関であるので、次式（5）に示すようにほぼ0となる。

【数5】

$$\sum_i x[i]m[i]m'[i-\tau] \approx 0$$

・・・式 (5)

【0 0 2 0】

したがって、上式 (5) を上式 (4) に代入して整理すると次式 (6) のようになる。

【数 6】

$$COR_{ym'}[\tau] \approx k \sum_i m[i]m'[i-\tau]$$

10

・・・式 (6)

ここで上式 (2) 式より、

【数 7】

$$m'[i-\tau] = m[i-\tau+d]$$

20

・・・式 (7)

であるから、上式 (6) に上式 (7) を代入すると次式 (8) のようになる。

【数 8】

$$\begin{aligned} COR_{ym'}[\tau] &\approx k \sum_i m[i]m'[i-\tau] \\ &= k \sum_i m[i]m[i+d-\tau] \end{aligned}$$

30

・・・式 (8)

したがって疑似乱数の自己相関の性質より上式 (1) は最終的に次式 (9) のようになり、遅延 τ の値に応じて相互相関の計算結果が異なることがわかる。

【数 9】

$$COR_{ym'}[\tau] \approx k \sum_i m[i]m[i+d-\tau] \approx \begin{cases} C & (\tau = d) \\ 0 & (\tau \neq d) \end{cases}$$

40

・・・式 (9)

上式 (9) 中の C は正の値であり、明らかに自己相関 $COR_{ym'}$ は $[\tau]$ 2 つの M 系列信号の位相差、すなわち時間差 d と等しい遅延 τ で大きな値 C を持つパルス状の信号となることがわかる。したがって 2 つの疑似乱数 m と m' の位相差 (時間差) は上式 (1) に基づいてスクランブル解除回路の入力信号 2 0 1 である y と 2 値の疑似乱数生成回路 2 0 2 の出力 m' の相互相関を求め、相互相関が最大値を取る τ の値より計算することが出来ることがわかる。時間差 τ が分かれば、その値により疑似乱数生成回路 2 0 2 の位相を変化させる帰還制御を行ってスクランブルに用いた疑似乱数生成回路 1 0 4 の出力 m と疑似

50

乱数生成回路202の出力 m' の同期を取ることが出来る。なお、信号 m がM系列信号のように周期性を有する信号であった場合、 $\tau = d$ だけでなく m の基本周期 T の整数倍の $\tau = nT + d$ でも自己相関 $COR y m' [\tau]$ は大きな値を有するパルス列状の信号となる。 $(n = \pm 1, \pm 2, \pm 3, \dots)$

【0021】

以上の説明では疑似乱数としてM系列信号を用いているが、M系列信号以外の2値の信号を用いてもよい。M系列信号以外の疑似乱数でも自己相関はインパルス状になる。また、M系列信号以外の疑似乱数でもメモリに書き込んでおいた一周分分の疑似乱数を読み出す位置を変えることにより時間軸をシフトした疑似乱数を生成することが可能である。したがって、これまでM系列信号を用いて説明したのと同じ同期処理の手法をそのまま適用することが出来る。

【0022】

次に、実際の音声の処理例を用いて図1のスクランブル回路の動作を説明する。まず、入力信号101として図3に示す男声の音声信号を入力する。図3の音声信号の振幅は正規化処理されており、振幅の最大値は1.0である。この信号をHPF102に通した後、定数発生回路103で発生させた定数0.1を加算器106で加算する。その加算した後の信号を図4に示す。ここでHPF102のカットオフ周波数は250Hzに設定している。次に、図4の信号に対して+1または-1の2値信号を生成する2値の疑似乱数生成回路104の出力を乗算器107で乗じスクランブルをかける。このスクランブルをかけた信号を図5に示す。この処理例では疑似乱数生成回路104には周期 $2^7 - 1 = 127$ のM系列信号生成回路を用いている。

【0023】

一方、図2のスクランブル解除回路の実際の音声の処理例は次のようになる。入力信号201は図5のスクランブルをかけた音声信号である。同期が取れておらず疑似乱数生成回路202の出力がスクランブルに用いた疑似乱数生成回路104の出力より9サンプル遅れていた場合、入力信号201と疑似乱数生成回路202の出力を乗じた信号の波形は図6のようになる。図6の信号をHPF203に通したものが最終的なスクランブル解除出力信号204となる。このように同期が取れていない場合の相関器205の出力は図7のようになる。図7の横軸は時間差 τ をあらわし、その単位はサンプルである。図7の横軸の原点付近を拡大したものが図8である。図8からわかる通り、相関器205の出力はスクランブル回路の疑似乱数生成回路104とスクランブル解除回路の疑似乱数生成回路202の位相差、すなわち時間差9サンプルのところで大きな正の値を有する。したがってピーク検出回路206より相関器205の出力のピークの位置を検出し、その値に応じて疑似乱数生成回路202の位相を変化させるように帰還制御をかければ疑似乱数生成回路の同期を取ることが出来る。同期が取れた状態ではスクランブル解除回路は図3のスクランブル回路の入力信号を正しく復元することが出来る。

【0024】

なお、スクランブルをかけた信号を有線あるいは無線で伝送した場合、伝送路で非整数値の遅延が生ずることがある。そのような場合でもスクランブル解除回路側でインターポレーションを用いてサンプリング周波数を上げて処理すれば、同期処理の時間分解能を向上させることができるので実用上問題なく非整数値の遅延に対する同期が可能である。インターポレーションによりサンプリング周波数を上げる、すなわち処理の時間分解能を向上させる手法は公知であり、例えば昭晃堂より出版されているマルチレート信号処理（デジタル信号処理シリーズ第14巻）（貴家仁志著）にその手法の詳細が紹介されている。

【0025】

したがって、この第1の実施の形態では、2値の疑似乱数を用いたスクランブル手法において、入力信号と疑似乱数列の相互相関の性質を利用した手法を用いて簡単な回路で、かつS/N比の顕著な劣化無しに、送信側（スクランブル処理側）と受信側（スクランブル解除処理側）の疑似乱数生成回路104、202の同期を取ることが出来る。

【0026】

(第2の実施の形態)

図9は本発明の第2の実施の形態に係るスクランブル解除回路を示す。図9において、このスクランブル解除回路は、第1の実施の形態で用いている相関演算、すなわち複雑な積和演算を使わずに疑似乱数生成回路の同期を取る手法を用いている。なお、第2の実施の形態では、スクランブルには第1の実施の形態と同じ図1のスクランブル回路を用いる。その図9に示すスクランブル解除回路は、図1の2値の疑似乱数を用いたスクランブル回路でスクランブルがかけられた入力信号901、図1のスクランブル処理回路に用いた疑似乱数生成回路104と同一の系列の位相制御可能な+1または-1の2値でなる疑似乱数を生成する疑似乱数生成回路902、図1のスクランブル回路で重畳した定数発生回路103の直流成分を低周波領域と比較して音声信号のエネルギーが十分に減衰した高域成分のみを取り出す第1のHPF（ハイパスフィルタ）903、全波整流回路または半端整流回路とLPF（ローパスフィルタ）を組み合わせた回路を用いたレベル検出器904、図1のスクランブル回路で重畳された定数発生回路103の直流成分をカットするための第2のHPF（ハイパスフィルタ）905、スクランブル解除出力信号906、乗算器907で構成されている。

【0027】

一般に人間の音声の数秒以上の区間の平均振幅スペクトルは、概ね-6dB/oct.の高域下降特性を有している。例えば図3のサンプリング周波数6kHzでサンプリングした0.5秒間の男声音の振幅スペクトルは図10のようになる。このように音声の長時間平均スペクトルが高域下降特性を示すことは、例えばコロナ社より出版されている「新 聴覚と音声」（電子通信学会）に詳細に記述されている。

【0028】

この第2の実施の形態におけるスクランブル解除回路では、図3の音声信号に対して図1のスクランブル回路でスクランブルをかけ、図9のスクランブル解除回路でスクランブル解除した場合に、同期が取れていなかった場合のスクランブル解除回路出力信号の振幅スペクトルは図11のようになる。このように同期が取れていなかった場合のスクランブル解除回路出力は2値の疑似乱数を乗じてスクランブルをかけることによって白色化されたままの、平坦なスペクトル特性となる。一方、同期が取れていた場合は、スクランブル解除回路の出力信号は元の音声信号が復元され、その平均振幅スペクトルは図10と同様の高域下降特性を示す。したがって、この振幅スペクトル特性の相違を元に同期検出をすることが可能である。

【0029】

次に、本第2の実施の形態に係る図9のスクランブル解除回路の動作を説明する。スクランブル解除回路への入力信号901と値が+1または-1の2値の疑似乱数生成回路902の出力信号とが乗算器907により掛け合わされて第2のHPF905に入力されると、第2のHPF905の出力がスクランブル解除されたスクランブル解除出力信号906となる。第2のHPF905はスクランブル回路で重畳された直流成分をカットするためのものである。処理対象が音声信号の場合はカットオフ周波数を50Hz~300Hz程度に設定すればよい。また、入力信号901と疑似乱数生成回路902の出力信号を掛け合わせた信号は第1のHPF903にも入力される。第1のHPF903の出力はレベル判定回路904に入力され、その出力により疑似乱数生成回路902の位相を制御する。第1のHPF903のカットオフ周波数は処理対象が音声の場合、300Hz~1kHz付近に存在する振幅レベルの大きい第1ホルマントおよび第2ホルマントよりも周波数の高い2kHz以上に設定すれば良い。

【0030】

ここで疑似乱数生成回路902の同期が取れている時は第1のHPF903の入力は正常にスクランブル解除された高域下降の平均スペクトル特性を有する音声信号となるために、第1のHPF903の出力信号の信号レベルは小さい値になる。一方、同期が取れていない場合は第1のHPF903の入力信号は図11に示したような白色化された平坦なスペクトル特性を有する信号となるために、第1のHPF903の出力信号レベルは同期が

取れている状態よりも大きくなる。これにより第1のHPF903の出力レベルから容易に同期の判定が可能となる。もし、図1のスクランブル回路の入力101がゼロ、すなわち無音状態であった場合は図9のスクランブル解除回路の第1のHPF903の出力は、同期が取れていた時にゼロが出力され、同期が取れていなかった時には白色ノイズ成分の一部が出力される。したがって、スクランブル回路の入力信号が無音状態であっても、スクランブル解除回路側ではスペクトル特性の相違を元にした同期検出が可能である。

【0031】

疑似乱数生成回路902の同期は以下のようにして行う。まず、2値の疑似乱数生成回路902の位相を制御して順番に位相の異なる疑似乱数列を次々に発生する。次にレベル判定回路904の出力レベルが最小となる時の疑似乱数生成回路902の初期位相を求める。第1のHPF903の出力レベルが最小となる時が同期が取れた状態であるので、疑似乱数生成回路902の初期位相をその時の値に固定することにより同期を確立することが出来る。

【0032】

したがって、第2の実施の形態では、疑似乱数生成回路902の同期が取れている時のスクランブル解除回路の出力信号のスペクトル特性と、同期が取れていないときの白色化された出力信号のスペクトル特性との相違に着目した処理により、積和演算を必要とする相関回路を使わずに疑似乱数生成回路の同期を取ることが出来る。そして、本第2の実施の形態では、第1の実施の形態と比較すると、相関演算、すなわち複雑な積和演算を使わずに簡単な回路で疑似乱数生成回路104、902の同期を取ることが出来る。

【0033】

(第3の実施の形態)

図12は本発明の第3の実施の形態に係るスクランブル回路を示し、図13は同じくスクランブル解除回路を示す。本第3の実施の形態は、第2の実施の形態をさらに改良したものである。すなわち、第2の実施の形態は、音声の平均スペクトルがほぼ -6 dB/oct の高域下降特性を有する特徴を利用してスクランブル解除回路の疑似乱数生成回路の同期を取っていたので、多値周波数変調等を用いた平坦なスペクトル特性を有するアナログ・モデム変調信号や、FAX変調信号等の音声とは異なる平均スペクトル特性を有する信号には適用出来ないが、本第3の実施の形態はこれらの音声信号以外でも安定したスクランブル解除回路の同期が可能となるように第2の実施例を改良したものである。

【0034】

図12に示すスクランブル回路は、モデム信号やファクシミリ信号等を入力する入力信号121、BEF(バンド・エリミネーション・フィルタ)122、定数発生回路123、+1または-1の2値を生成する疑似乱数生成回路124、スクランブルをかけた信号125、加算器126、乗算器127で構成されている。

【0035】

図12のスクランブル回路の動作を説明すると、まず入力信号121をBEF(バンド・エリミネーション・フィルタ)122に通す。次に加算器126でBEF122の出力信号に定数発生回路123の出力信号を加算し、乗算器127で値+1/-1の2値の疑似乱数生成回路124の出力信号を乗じてスクランブルをかけた信号125を生成する。ここで、BEF122はスクランブル解除回路での疑似乱数生成回路の同期処理のために、入力信号121に振幅レベルの小さい帯域を作るためのものである。入力信号121がアナログ・モデム変調信号やFAX変調信号である場合、誤り率等に悪影響を与えないようにBEF122の中心周波数は0Hzに近い低い周波数に設定するか、サンプリング周波数の1/2に近い高い周波数に設定すれば良い。一方、BEF122の帯域幅も誤り率等に悪影響を与えないよう10Hz程度から100Hz程度に設定する。なお入力信号121が無音区間を有せずに連続した信号である場合には、定数発生回路123および加算器126を省略して、BEF122の出力に対して直接疑似乱数を乗じて良い。

【0036】

次に、図13のスクランブル解除回路は、第2の実施の形態として示した図9のスクラン

ブル解除回路の第1のHPF 903をバンドパスフィルタ(BPF) 133に置き換えたもので、図12のスクランブル回路の出力信号125、すなわちスクランブルがかけられた入力信号131、図12のスクランブル回路の疑似乱数生成回路124と同一の系列の位相制御可能な+1または-1の2値でなる疑似乱数を生成する疑似乱数生成回路132、BPF 133、レベル検出器134、ハイパスフィルタ135、スクランブルを解除した信号136、乗算器137で構成されている。なお、BPF 133の中心周波数はスクランブル回路のBEF 122と同一に、帯域幅はBEF 122と同一かそれより狭く設定すれば良い。図12のスクランブル回路ではBEF 122を用いているので、疑似乱数生成回路122の同期が取れている状態ではBPF 133の出力は極めて小さくなる。一方、同期が取れていない状態ではBPF 133に入力される信号のスペクトルはスクランブル処理によって白色化されているのでBPF 133の出力信号レベルは同期が取れているときよりも大きくなる。したがって第2の実施の形態の図9のスクランブル解除回路と同様にBPF 133とレベル判定回路134を用いて疑似乱数生成回路132の同期を取ることが出来る。

【0037】

第2の実施の形態では音声の長時間平均スペクトル特性に着目した処理を行っていたが、本第3の実施の形態では音声以外の高域下降特性を有さない任意の信号を用いた場合でも、かつS/N比の顕著な劣化無しに、送信側(スクランブル処理側)と受信側(スクランブル解除処理側)の疑似乱数生成回路124、132の同期を取ることが出来る。

【0038】

【発明の効果】

以上説明したように、本発明の信号のスクランブル・スクランブル解除方法及びシステムでは、従来の2値の疑似乱数を用いたアナログ信号のスクランブル手法の実用化の問題点となっていた、疑似乱数生成回路の同期の問題を解決することが出来る。すなわち、従来の方式と比較して入力信号に重畳する直流成分のレベルが小さくて済むので、従来の方法よりもS/N比が良くなるという、きわめて優れた効果が期待できるものである。

【図面の簡単な説明】

【図1】 本発明の信号のスクランブル・スクランブル解除システムに用いられる第1の実施の形態に係るスクランブル回路の構成を示すブロック図

【図2】 本発明の第1の実施の形態に係るスクランブル解除回路の構成を示すブロック図 30

【図3】 サンプリング周波数6kHzで得られた男性の音声波形図

【図4】 図1の音声波形図に直流オフセットを印可した波形図

【図5】 図4の直流オフセットを印加した音声波形に周期 $2^7 - 1 = 127$ のM系列信号を乗じてスクランブルをかけた信号波形図

【図6】 図5のスクランブル波形にスクランブルに用いたのと同じ系列で9サンプル位相の遅れたM系列信号を乗じた信号の波形図

【図7】 図5のスクランブルをかけた信号と位相の遅れたM系列信号との相互相関の演算結果を示すグラフ図

【図8】 図7の相互相関演算結果の時間差-20サンプルから20サンプルまでを拡大して描いたグラフ図 40

【図9】 本発明の第2の実施の形態に係るスクランブル解除回路の構成を示すブロック図

【図10】 図3の男性音声波形の振幅スペクトルを示す図

【図11】 本発明の第2の実施の形態において同期がとれていなかった場合のスクランブル解除回路出力信号の振幅スペクトルを示す図

【図12】 本発明の第3の実施の形態に係るスクランブル回路の構成を示すブロック図

【図13】 本発明の第3の実施の形態に係るスクランブル解除回路の構成を示すブロック図

【図14】 (a) 従来のスクランブル方式の一例を示すためのスクランブル回路の構成を示すブロック図

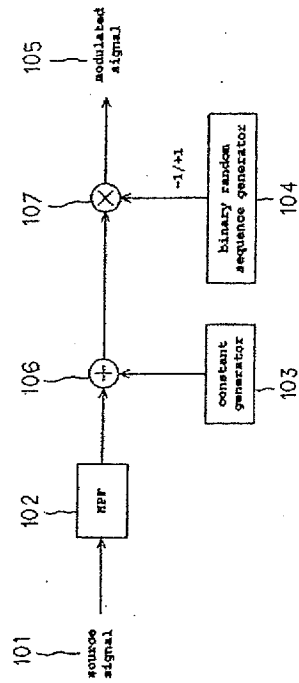
(b) 従来のスクランブル方式の一例を示すためのスクランブル解除回路の構成を示すブ 50

ロック図

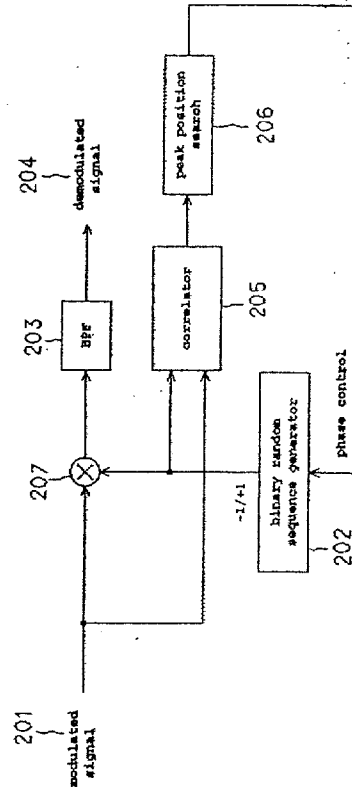
【符号の説明】

101	入力信号	
102	HPF (ハイパスフィルタ)	
103	定数発生回路	
104	疑似乱数生成回路	
105	スクランブルをかけた信号	
106	加算器	
107	乗算器	
121	入力信号	10
122	BEF (バンド・エリミネーション・フィルタ)	
123	定数発生回路	
124	疑似乱数生成回路	
125	スクランブルをかけた信号	
126	加算器	
127	乗算器	
131	入力信号	
132	疑似乱数生成回路	
133	BPF (バンド・パス・フィルタ)	
134	レベル検出器	20
135	HPF (ハイ・パス・フィルタ)	
136	スクランブル解除出力信号	
137	乗算器	
201	入力信号	
202	疑似乱数生成回路	
203	HPF (ハイパスフィルタ)	
204	スクランブル解除出力信号	
205	相関器	
206	ピーク検出回路	
207	乗算器	30
901	スクランブルをかけた信号	
902	疑似乱数生成回路	
903	第1のHPF (ハイパスフィルタ)	
904	レベル検出器	
905	第2のHPF (ハイパスフィルタ)	
906	スクランブル解除出力信号	
907	乗算器	

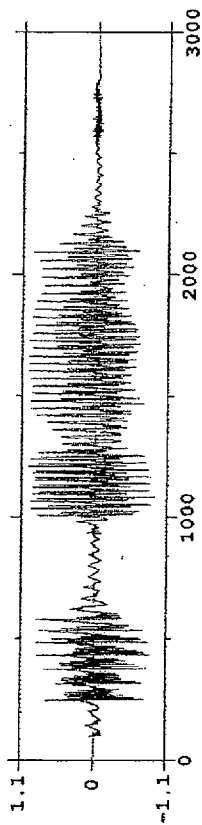
【図 1】



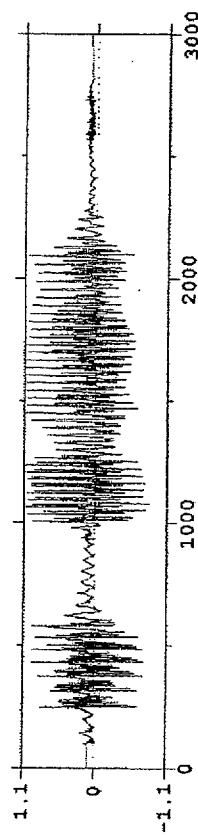
【図 2】



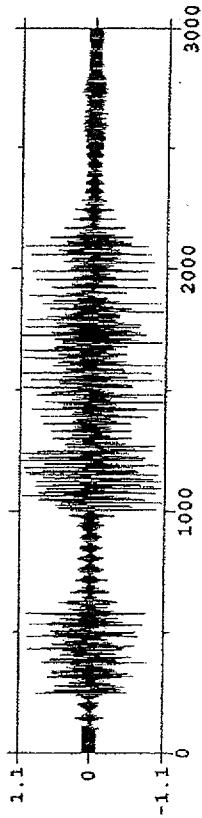
【図 3】



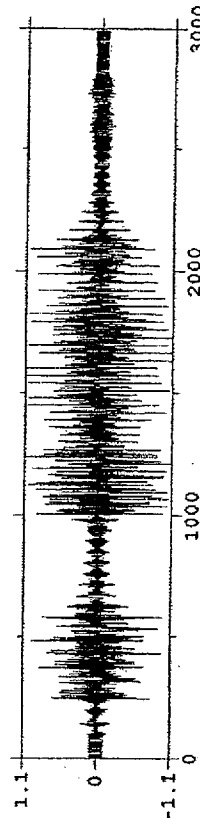
【図 4】



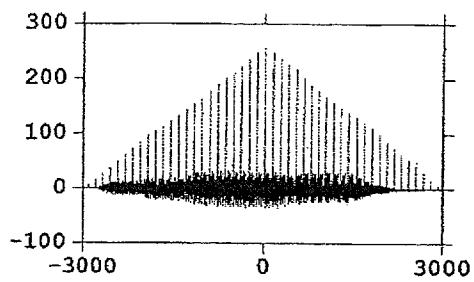
【図 5】



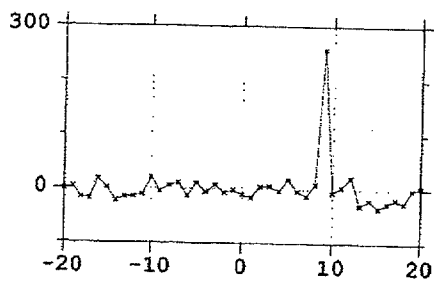
【図 6】



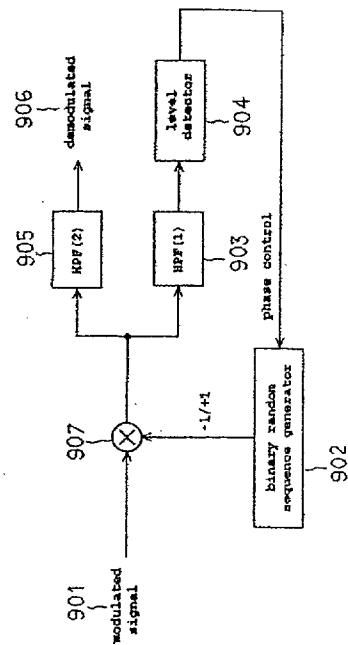
【図 7】



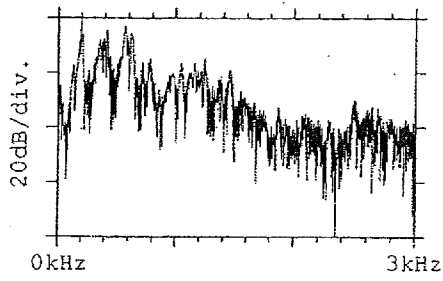
【図 8】



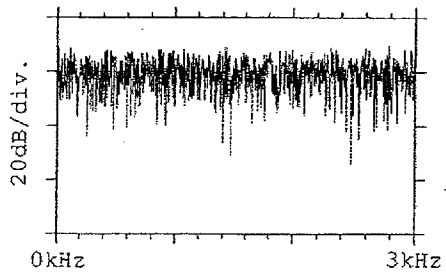
【図 9】



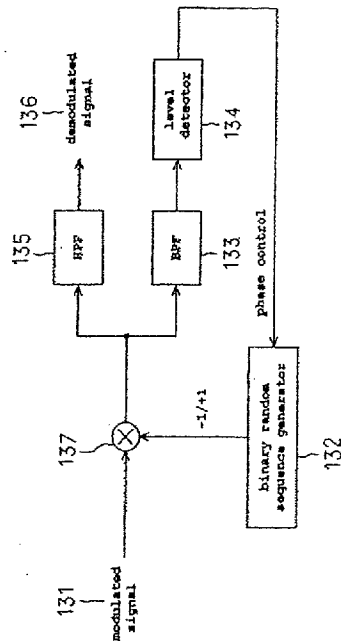
【図 10】



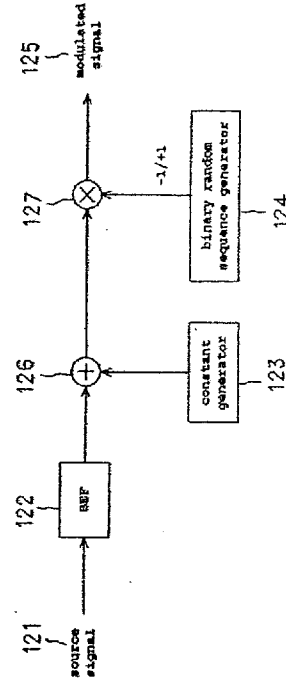
【図 11】



【図 13】



【図 12】



【図 14】

